

PTO/SB/21 (04-04)

IFW

TRANSMITTAL  
FORM

(Use this form for all correspondence after initial filing)

Total Number of Pages in This Submission

13

Application Number

10/773,597

Filing Date

February 6, 2004

First Named Inventor

Kuo, Kuei-Chi

Art Unit

2812

Examiner Name

Not Yet Assigned

Attorney Docket Number

021653-001200US

## ENCLOSURES (Check all that apply)

- |   |   |  |
|---|---|--|
| <input type="checkbox"/> Fee Transmittal Form<br><input type="checkbox"/> Fee Attached<br><input type="checkbox"/> Amendment/Reply<br><input type="checkbox"/> After Final<br><input type="checkbox"/> Affidavits/declaration(s)<br><input type="checkbox"/> Extension of Time Request<br><input type="checkbox"/> Express Abandonment Request<br><input type="checkbox"/> Information Disclosure Statement<br><input checked="" type="checkbox"/> Certified Copy of Priority Document(s)<br><input type="checkbox"/> Response to Missing Parts/ Incomplete Application<br><input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 | <input type="checkbox"/> Drawing(s)<br><input type="checkbox"/> Licensing-related Papers<br><input type="checkbox"/> Petition<br><input type="checkbox"/> Petition to Convert to a Provisional Application<br><input type="checkbox"/> Power of Attorney, Revocation<br>Change of Correspondence Address<br><input type="checkbox"/> Terminal Disclaimer<br><input type="checkbox"/> Request for Refund<br><input type="checkbox"/> CD, Number of CD(s) _____ | <input type="checkbox"/> After Allowance Communication to Technology Center (TC)<br><input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences<br><input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)<br><input type="checkbox"/> Proprietary Information<br><input type="checkbox"/> Status Letter<br><input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):<br>Return Postcard |
|---|---|--|

Remarks

The Commissioner is authorized to charge any additional fees to Deposit Account 20-1430.

## SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm  
or  
Individual name

Townsend and Townsend and Crew LLP

Richard T. Ogawa

Reg. No. 37,692

Signature

Date

8/2/04

## CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name

TIFFANY WU

Signature

Date

8.2.04

BEST AVAILABLE COPY

CERTIFIED COPY OF  
PRIORITY DOCUMENT

# 证 明

本证明之附件是向本局提交的下列专利申请副本

申 请 日 期: 2003. 12. 30

申 请 号 码: 2003101229645

申 请 别 类: 发明

发 明 名 称: 光掩模的静电放电保护的方法和结构

申 请 人: 中芯国际集成电路制造(上海)有限公司

发 明 人: 郭贵琦



中华人民共和国  
国家知识产权局局长

王 景 川

2004 年 6 月 25 日

1. 一种用于制造集成电路的掩模，所述掩模包括：
  - 掩模衬底；
  - 5 有源掩模区，位于所述掩模衬底的第一部分中，所述有源区适合于积累预定水平的静电；
    - 第一保护环结构，包围着所述有源掩模区的一部分，以将所述有源区与所述掩模衬底的外部区域隔离；以及
    - 第二保护环结构，具有至少一个包围所述第一保护环结构的一部分的
  - 10 熔丝结构；
    - 其中所述熔丝结构被可操作地耦合到所述有源区，以吸收静电电流，在保持所述有源区不受静电损伤的同时，静电被所述有源区积累到预定的水平，然后以电流形式放电到所述熔丝结构上。
  - 2. 如权利要求 1 所述的掩模，其中所述熔丝结构是多个导电区。
  - 15 3. 如权利要求 1 所述的掩模，其中所述熔丝结构具有某一长度和某一厚度。
    - 4. 如权利要求 1 所述的掩模，其中所述熔丝结构由导电材料制成。
    - 5. 如权利要求 1 所述的掩模，其中所述熔丝结构中的每一个形成于所述掩模衬底上距所述有源区的一部分预定距离以内的地方，以使得静电放
    - 20 电到所述熔丝结构上。
    - 6. 如权利要求 1 所述的掩模，其中所述熔丝结构包括多个导电构件，所述导电构件中的每一个都包括细长部分，所述细长部分具有自由端部分。
    - 7. 如权利要求 1 所述的掩模，其中所述第一保护环结构包括不具有覆
    - 25 盖导电层的沟槽区。
    - 8. 如权利要求 1 所述的掩模，其中所述第一保护环结构连续地包围所述有源区，以将所述第二保护环结构与所述有源区电隔离和物理隔离。
    - 9. 如权利要求 1 所述的掩模，其中所述预定水平对应于不高于 2,000,000 伏特的电压。

10. 如权利要求 1 所述的掩模，其中所述预定水平对应于不高于 2,000,000 伏特的电压。

11. 一种制造半导体集成电路器件结构的方法，包括：

使用掩模衬底，该掩模衬底包括：

5 有源掩模区，位于所述掩模衬底的第一部分中，所述有源区适合于积累预定水平的静电；

第一保护环结构，包围着所述有源掩模区的一部分，以将所述有源区与所述掩模衬底的外部区域隔离；以及

10 第二保护环结构，具有至少一个包围所述第一保护环结构的一部分的熔丝结构；所述熔丝结构被可操作地耦合到所述有源区，以吸收静电电流，在保持所述有源区不受静电损伤的同时，静电被所述有源区积累到预定的水平，然后以电流形式放电到所述熔丝结构上。

12. 如权利要求 11 的所述方法，其中所述熔丝结构是多个导电区。

13. 如权利要求 11 的所述方法，其中所述熔丝结构形成于所述掩模衬底上距所述有源区的一部分预定距离以内的地方，以使得静电放电到所述熔丝结构上。

14. 如权利要求 11 的所述方法，其中所述第一保护环结构连续地包围所述有源区，以将所述第二保护环结构与所述有源区电隔离和物理隔离。

15 15. 如权利要求 11 的所述方法，其中所述熔丝结构包括多个导电构件，所述导电构件中的每一个都包括细长部分，所述细长部分具有自由端部分。

16. 如权利要求 11 的所述方法，其中所述熔丝结构中的每一个形成于所述掩模衬底上距所述有源区的一部分预定距离以内的地方，以使得静电放电到所述熔丝结构上。

25 17. 一种制造集成电路器件的方法，所述方法包括：

接收第一容器中的掩模，该掩模包括有源区和保护环结构，该保护环结构具有至少一个熔丝结构；

在洁净室环境中将所述掩模从所述第一容器转移到第二容器中；

在洁净室环境中处理所述掩模；

在洁净室环境中处理期间，在所述掩模上积累静电；

在保持所述掩模的有源区不受静电能量损伤的同时，将所述静电的一部分放电到所述掩模的保护环结构上的熔丝上；以及

在制造半导体集成电路的操作中使用所述掩模。

5 18. 如权利要求 17 所述的方法，其中所述操作是光刻处理。

19. 如权利要求 17 所述的方法，其中所述静电能量的特征是，电压为 1000 伏特。

20. 如权利要求 17 所述的方法，其中所述静电能量的特征是，电压高于 3000 伏特。

## 光掩模的静电放电保护的方法和结构

## 5 技术领域

本发明涉及集成电路及半导体器件的制造工艺。更具体地说，本发明提供了一种方法和器件，用于制造一种包括防静电器件和相关集成电路器件的掩模结构。仅举例来说，本发明已被应用于掩模结构的保护环（guard ring）结构，所述掩模结构用于高级集成电路器件的关键性掩模步骤中。

10 但应该认识到，本发明具有大得多的应用范围。例如，本发明也可应用于非关键性步骤及各种互连结构。

## 背景技术

集成电路或“IC”已从在单个硅片上制造的几个互连器件发展到数百  
15 万个器件。现在的 IC 所提供的性能和复杂程度远远超出开始时的想象。为了在复杂程度和电路密度（即给定的芯片面积上可封装的器件数目）上取得提高，最小的器件线宽的尺寸，也称为器件的“几何尺寸”，已随着 IC 的每一代变得越来越小。现在正在以小于四分之一微米宽的线宽来制造半导体器件。

20 增大电路密度不仅提高了 IC 的复杂程度和性能，而且还向消费者提供了更低成本的部件。一套 IC 制造设备可能价值几亿甚至几十亿美元。每套 IC 制造设备都有一定的晶片生产量，而且每块晶片上都有一定数目的 IC。因此，通过使 IC 的单个器件更小，就可以在每块晶片上制造更多的器件，从而增大制造设备的产量。使器件更小是十分有挑战性的，因为  
25 IC 制造中所使用的每个工艺都有一个极限。换言之，一种给定的工艺一般只能在大于一定的线宽大小时起作用，然后就需要改变工艺或者器件布局。这种极限的例子是用掩模结构来形成更小和更精细的图案的能力。这样的掩模结构常会积累静电荷，该静电荷会在更小的图案上放电而对其引起损伤。受损的掩模将受损的图案传递到集成电路上，这导致器件失效和

可靠性问题。

通常，掩模受损是由积累在掩模有源区上的电荷的静电放电问题引起的。静电荷积聚到数千伏特的电压，其从掩模的一个区域放电到另一个区域上而引起对掩模的损伤。已经进行了许多尝试来限制这种静电放电。仅  
5 作为例子来说，离子发生器已被用来从掩模上去掉静电荷。其它技术包括在洁净室的工作表面上应用静电放电材料等在用掩模来制造集成电路时使用的技术。遗憾的是，操作员还要操作掩模，这引起对掩模本身的损伤。这样的掩模通常价值数万美元，而且通常需要过很长的交付期才能从掩模销售商处收到。相应地，对传统的掩模及其在集成电路制造中的使用有很  
10 多限制。

综上所述，可见十分需要一种改进技术，来加工包括光掩模的半导体器件。

### 发明内容

15 根据本发明，提供了一种包括半导体器件制造方法的技术。更具体地说，本发明提供了一种方法和器件，用于制造一种包括防静电器件和相关集成电路器件的掩模结构。仅举例来说，本发明已被应用于掩模结构的保护环结构，所述掩模结构用于高级集成电路器件的关键性掩模步骤中。但应该认识到，本发明具有大得多的应用范围。例如，本发明也可应用于非  
20 关键性步骤及各种互连结构。

在一个具体实施例中，本发明包括一种用于制造集成电路的掩模。所述掩模具有掩模衬底。所述掩模在所述掩模衬底的第一部分中还具有有源掩模区。所述有源区适合于积累预定水平的静电。所述掩模还具有第一保护环结构，该结构包围着所述有源掩模区的一部分，以将所述有源区与所  
25 述掩模衬底的外部区域隔离；以及第二保护环结构，该结构具有至少一个包围所述第一保护环结构的一部分的熔丝结构。所述熔丝结构被可操作地连接到所述有源区，以吸收静电电流。在保持所述有源区不受静电损伤的同时，静电被所述有源区积累到预定的水平，然后以电流形式放电到所述熔丝结构上。

在另一具体实施例中，本发明包括一种制造集成电路器件的方法。该方法包括接收第一容器中的掩模。该掩模包括有源区和保护环结构，该保护环结构具有至少一个熔丝结构。该方法包括在洁净室环境中将所述掩模从第一容器转移到第二容器中。该方法包括在洁净室环境中处理掩模，以及  
5 在洁净室环境中处理期间在掩模上积累静电。此外，所述方法包括在保持所述掩模的有源区不受静电能量损伤的同时，将静电的一部分放电到掩模的保护环结构的熔丝上。该掩模用于制造半导体集成电路的操作中。

相对于传统技术，通过本发明可以得到许多好处。例如，本技术提供了一种依靠传统技术的易于使用的工艺。在一些实施例中，所述方法提供了以每个晶片上的管芯（die）数量计的更高的器件产量。此外，所述方法  
10 提供了与传统加工技术兼容的工艺，而无需对传统设备和工艺进行重大修改。依靠本实施例，可以得到这些好处中的一种或多种。在整个本说明书中，将更多地说明这些和其它的好处，而以下是更具体的说明。

## 15 附图说明

参照以下的详细说明和附图，可以更充分地认识到本发明另外的各种目的、特征和优点。

图 1、图 2、图 3 和图 3A 是传统掩模结构的简化俯视图；

图 4、图 5、图 5A、图 6 和图 7 是根据本发明实施例的掩模结构的简  
20 化俯视图；以及

图 8 是根据本发明实施例的方法的简化图。

## 具体实施方式

根据本发明，提供了包括半导体器件的制造方法的技术。更具体地  
25 说，本发明提供了一种方法和器件，用于制造一种包括防静电器件和相关集成电路器件的掩模结构。仅举例来说，本发明已被应用于掩模结构的保护环结构，所述掩模结构用于高级集成电路器件的关键性掩模步骤中。但应该认识到，本发明具有大得多的应用范围。例如，本发明也可应用于非关键性步骤及各种互连结构。



图 1 到图 3 是晶片上传统掩模结构和图案的简化俯视图 100、200 和 300。这些图仅仅是例子，而不应不适当地限定本文中权利要求的范围。本领域普通技术人员会认识到许多其它的变化、修改和替代。如图所示，掩模结构 100 包括确定图案的金属层，和包围该图案化金属层的透明区域。所述的金属可以包括任何适于阻光的材料。这样的金属包括但不限于铬、镍、 $\text{MoSiO}_2$ （钼氧化硅）和 Ta（钽）。当然，所使用的金属类型取决于应用。区域 101 是发明人发现的一个受损区域。该受损区域是由相互靠近的两个金属线图案之间的静电放电引起的。在两个金属线图案之间形成很大的电势差，使两者通过将两个图案连接到一起的电流而短路到一起。这两个金属图案相互间的距离是 0.8 微米。放电前电势差可以达到 20,000 伏特或更高。

受损区域通常来自于更大的图案结构，例如图 2 中的 200。两个金属线图案之间的受损区域用标号 201 表示。如图所示，两个金属线图案被短路到一起。金属线图案 202 通常用如铬和/或其它的导电材料制成。如图 3 中的区域 301 所示，将所述受损区域转到半导体晶片 300 上。受损区域 301 更详细的图用图 3A 的简化图表示。损伤由通过各种生产操作积累的电荷的静电放电而引起。这些操作包括在生产设备（例如机器人）、传递时容纳掩模的掩模转移容器以及操作员处对掩模的使用。随着器件变得更小，由静电放电所引起的损伤变得更严重而且花费更大。在整个本说明书中，说明了克服传统光掩模的一定限制的详细方法，以下是更具体的说明。

图 4 到图 7 是根据本发明的实施例的掩模结构的简化俯视图。这些图仅仅是例子，而不应不适当地限定本文中权利要求的范围。本领域普通技术人员会认识到许多其它的变化、修改和替代。参照图 4，掩模结构 400 包括由用于制造集成电路的图案组成的有源区 401。所述图案通常用于关键性或非关键性掩模步骤。关键性掩模步骤的例子包括 0.18 微米掩模组中 31 层的 14 层。非关键性掩模步骤的例子包括 31 层中的 17 层。当然，关键性掩模步骤通常要求比非关键性步骤更小的公差。

本掩模结构还包括其上的包围在有源区周围的第一防静电保护环结构

403。第一防静电保护环结构作为有源区和第二防静电保护环结构之间的隔离物。第一保护环结构可以是用介电层填充的沟槽区。该沟槽区不具有用于图案化的覆盖金属层。参照图 5，保护环 403 形成在所述掩模结构中，该掩模结构中还包括图案区 505 和 507。取决于实施例，所述沟槽区的宽度通常是 20 微米或更小，并且其厚度是 300 nm 到大约 1000 nm。

所述掩模结构还包括第二保护环结构 405，其包围有源区和第一保护环结构的周围。第二保护环结构包括在空间上限定为沿着所述环的多个熔丝结构。参照图 6，第二保护环结构 405 包括多个熔丝结构 501，以连续方式构造所述熔丝结构，以形成所述保护环结构。所述熔丝结构中的每一个都包括多个延伸到公共区域 504 的细长构件 503。所述细长构件中的每一个都是具有一个自由端的指状物。所述细长构件中的每一个都基本上平行于另一个细长构件。所述构件中的每一个都从金属区 507 开始延伸。包围该金属区的是绝缘区 501。

优选地，所述熔丝结构中的每一个都包括面向绝缘区的自由端。由绝缘材料制成的一段小间隙限定在所述自由端和导电结构 505 之间。导电结构 505 是将电荷积累到预定水平的区域。这种预定水平对 1000 大小的线可以达到 20,000 伏特或更高。当然，所述的预定水平取决于应用。达到预定水平后，电荷就横穿所述的小间隙，从导电结构到达作为天线的指状物。一旦电荷横穿所述的小间隙，静电能量就被释放。取决于应用，所述细长构件可以连接到所述导电结构。

此外，所述熔丝结构中的每一个在空间上都被沿着所述保护环结构设置。优选地，所述结构中的每一个被选择性的布置在可能具有高电荷积累的区域附近。或者，这些结构被选择性地布置，以预定频度沿保护环结构以均匀的方式分开。取决于应用，可以有许多修改、替代和变化。在整个本说明书中，说明了另一种掩模结构的更多细节，以下是更具体的说明。

图 7 是根据本发明实施例的另一种掩模结构的简化俯视图 700。此图仅仅是例子，而不应不适当地限定本文中权利要求的范围。本领域普通技术人员会认识到许多其它的变化、修改和替代。如图所示，掩模结构 700 包括由用于制造集成电路的图案组成的有源区。所述图案通常用于关键性

或非关键性掩模步骤。关键性掩模步骤的例子包括 0.18 微米掩模组中 31 层的 14 层。非关键性掩模步骤的例子包括 31 层中的 17 层。当然，关键性掩模步骤通常要求比非关键性步骤更小的公差。

本掩模结构还包括其上的包围在有源区周围的第一防静电保护环结构 5701。第一保护环结构包括在空间上限定为沿着所述环的多个熔丝结构。和前一实施例相似，所述保护环结构包括多个熔丝结构 701，以连续方式构造所述熔丝结构，以形成所述保护环结构。所述熔丝结构中的每一个都包括多个细长构件，所述细长构件从将所述构件中的每一个连接到一起的第一区域延伸到公共区域。所述细长构件中的每一个都是具有一个自由端的指状物。所述细长构件中的每一个都基本上平行于另一个细长构件。所述构件中的每一个都从将每个构件连接到一起的金属区 507 开始延伸。包围金属区的是绝缘区。

优选地，所述熔丝结构中的每一个都包括面向绝缘区的自由端。由绝缘材料制成的一段小间隙限定在所述自由端和导电结构 505 之间。导电结构 505 是将电荷积累到预定水平的区域。这种预定水平对 1000 大小的线可以达到 20,000 伏特或更高。当然，所述的预定水平取决于应用。达到预定水平后，电荷就横穿所述的小间隙，从导电结构到达作为天线的指状物。一旦电荷横穿所述的小间隙，静电能量就被释放。取决于应用，所述细长构件可以连接到所述导电结构。

根据本发明实施例的方法可以简要提供如下：

1. 提供掩模（其具有有源区和保护环结构，该保护环结构具有至少一个熔丝结构）；
2. 从掩模销售商处接收第一容器中的掩模；
3. 在洁净室环境中将掩模从第一容器转移到第二容器中；
4. 在洁净室环境中处理掩模；
5. 在洁净室环境中处理期间，在掩模的一个或多个部分上积累静电；
6. 在洁净室环境中处理期间，继续在掩模上积累静电直到达到预定水平；
7. 将一部分静电从掩模的一个或多个部分放电到掩模的保护环结构的

一个或多个熔丝结构上；

8. 在静电放电时，保持掩模的有源区不受静电能量的损伤；

9. 在制造半导体集成电路的操作中使用掩模；

10. 继续积累电荷及将这些电荷放电到一个或多个熔丝结构上的步骤；以及

11. 按需要执行其它步骤。

以上顺序的步骤提供了根据本发明实施例的方法。如果加入步骤、去掉一个或多个步骤或者以不同顺序提供一个或多个步骤，则还可提供其它替代方法，而不脱离本发明权利要求的范围。在优选实施例中，上述步骤  
10 允许静电被放电到保护环结构上而不引起对掩模有源区的损伤。在整个本说明书中，说明了本方法的更多细节，以下是更具体的说明。

图 8 是根据本发明的实施例的方法 800 的简化图。该图仅仅是例子，而不应不适当地限定本文中权利要求的范围。本领域普通技术人员会认识到许多其它的变化、修改和替代。如图所示，所述方法在步骤 801 开始。  
15 所述方法包括提供（步骤 803）掩模，该掩模具有有源区和保护环结构，该保护环结构具有至少一个熔丝结构。所述掩模可和上文所述的相似，但也可以是其它的。所述方法从掩模销售商处接收（步骤 805）第一容器（例如掩模盒）中的掩模。通常，第一容器是包括防静电材料的包装，以从掩模上泄放任何电荷。所述方法包括在洁净室环境中将掩模从第一容器  
20 转移（步骤 807）到第二容器中。第二容器通常是掩模 SM17 容器，而且也具有防静电材料，以从掩模上泄放电荷。优选地，所述容器是密封的，但也可以是不密封的。

在制造集成电路期间，所述掩模被处理（步骤 809）。取决于应用，这种掩模由操作员处理、由机器人处理、被检查并保存在掩模 SM17 容器  
25 中。这些操作过程中的每一个都通过静电使电荷积累（步骤 811）到掩模有源区的一个或多个部分上。在洁净室环境中，电荷积累，而且所述方法通过分支 821 继续，以在掩模的一个或多个部分上积累电荷直到达到预定水平。这样的预定水平通常是 10,000 伏特，但取决于应用，也可以是 20,000 伏特。一旦掩模将这样的电荷积累到预定水平（步骤 813），电荷

就被放电，并从掩模的一个或多个部分转移（步骤 815）到掩模的保护环结构的一个或多个熔丝结构上。

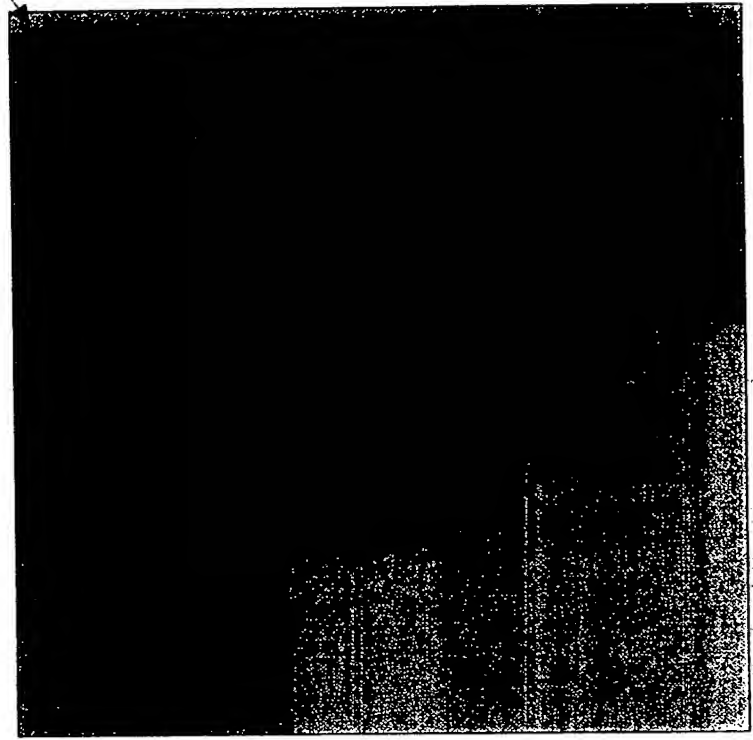
优选地，所述方法在静电放电时保持掩模的有源区不受静电的损伤。所述方法经由分支 816，通过前面步骤的一部分而继续。接着，所述方法在制造半导体器件的操作中使用所述掩模。如果加入步骤、去掉一个或多个步骤或者以不同顺序提供一个或多个步骤，则还可提供其它替代方法，而不脱离本发明权利要求的范围。在优选实施例中，上述步骤允许静电被放电到保护环结构上而不引起对掩模有源区的损伤。所述方法在步骤 817 结束。

10 还应理解，本文所描述的例子和实施例仅仅是为说明的目的，按照它们所做的各种修改或变化是本领域的技术人员将会想到的，且应包括在本申请的精神和范围以及所附权利要求的范围之内。

# 说明书附图

03NI0412

100



图

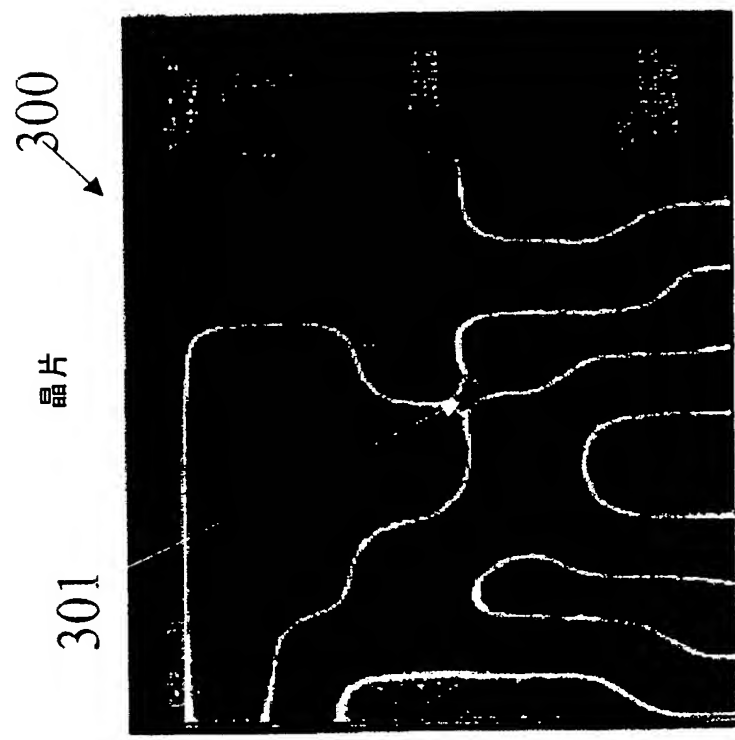


图3

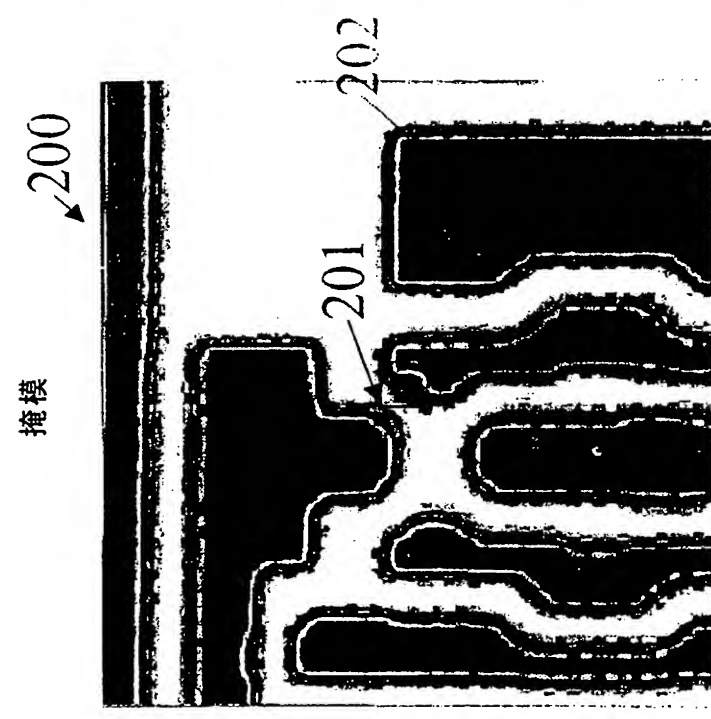


图2

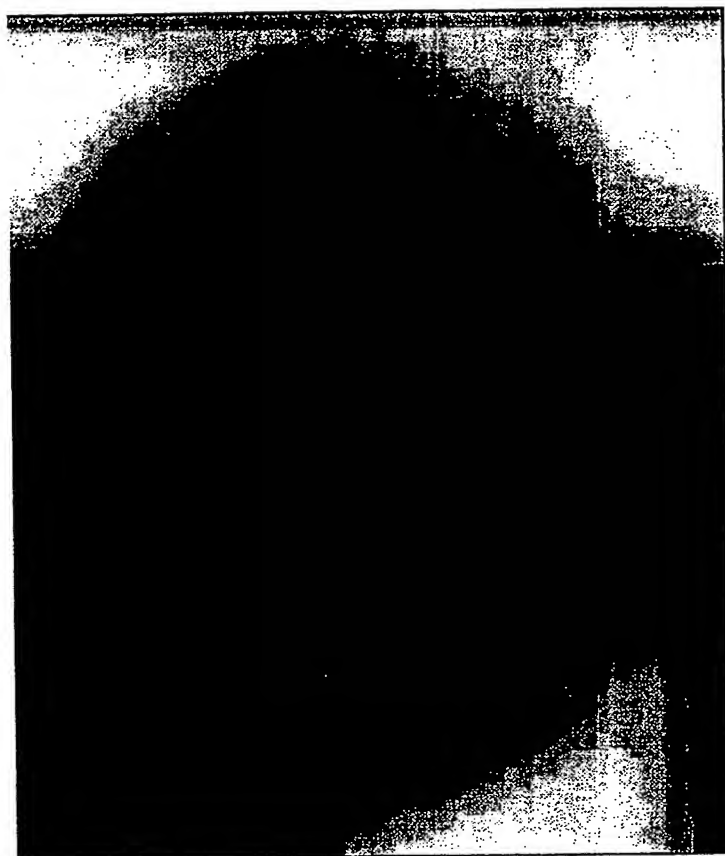


图 3A



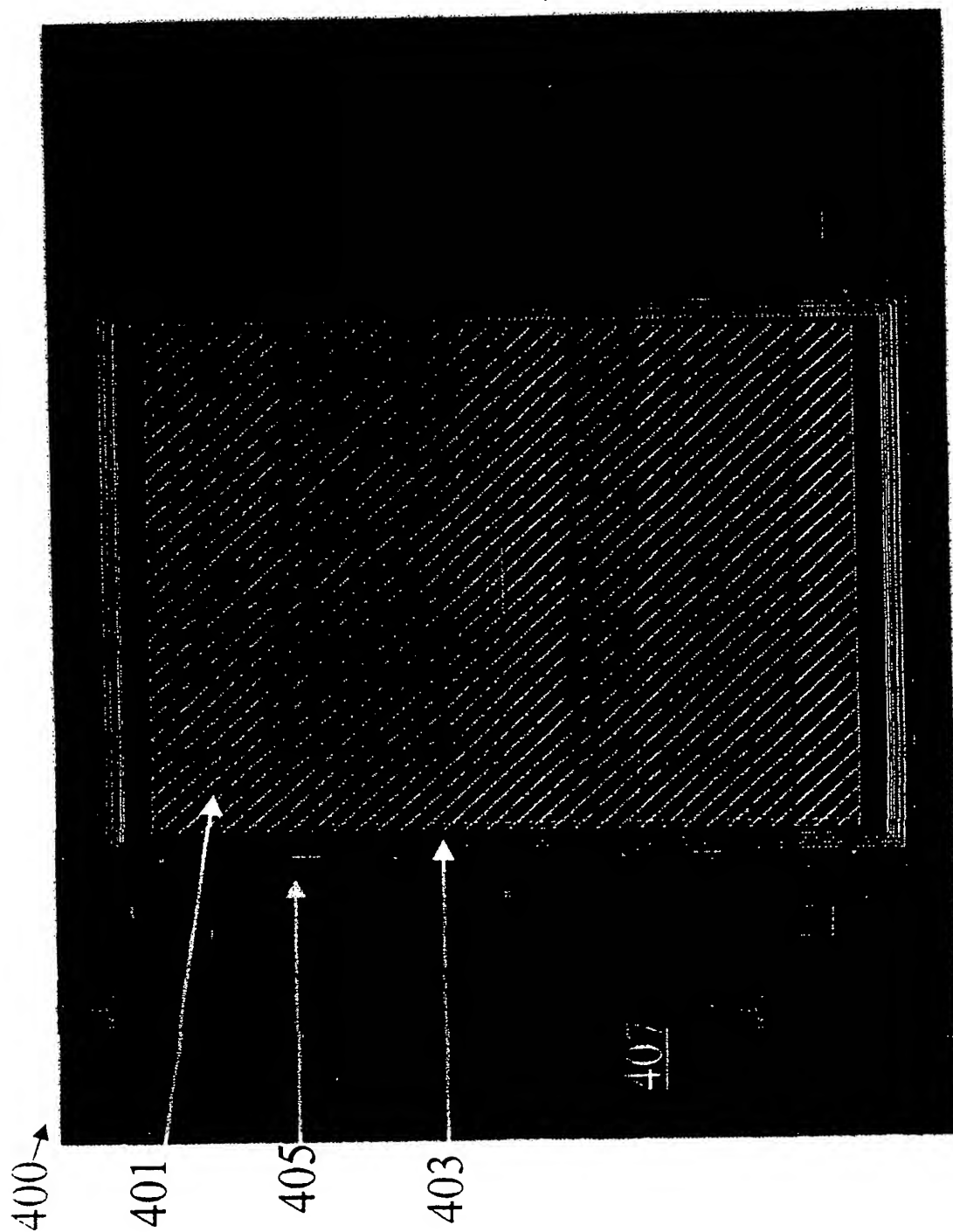


图4

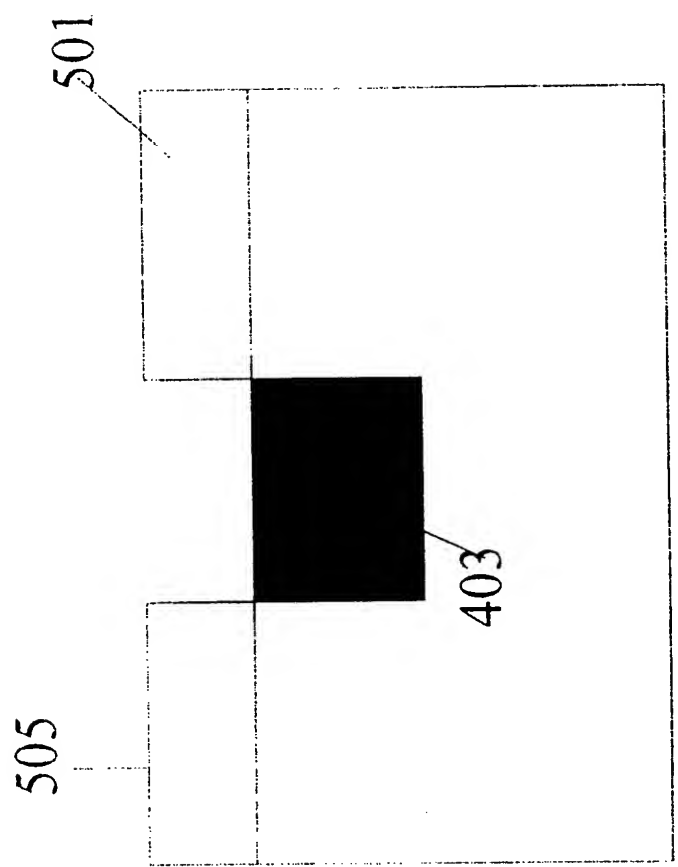


图5

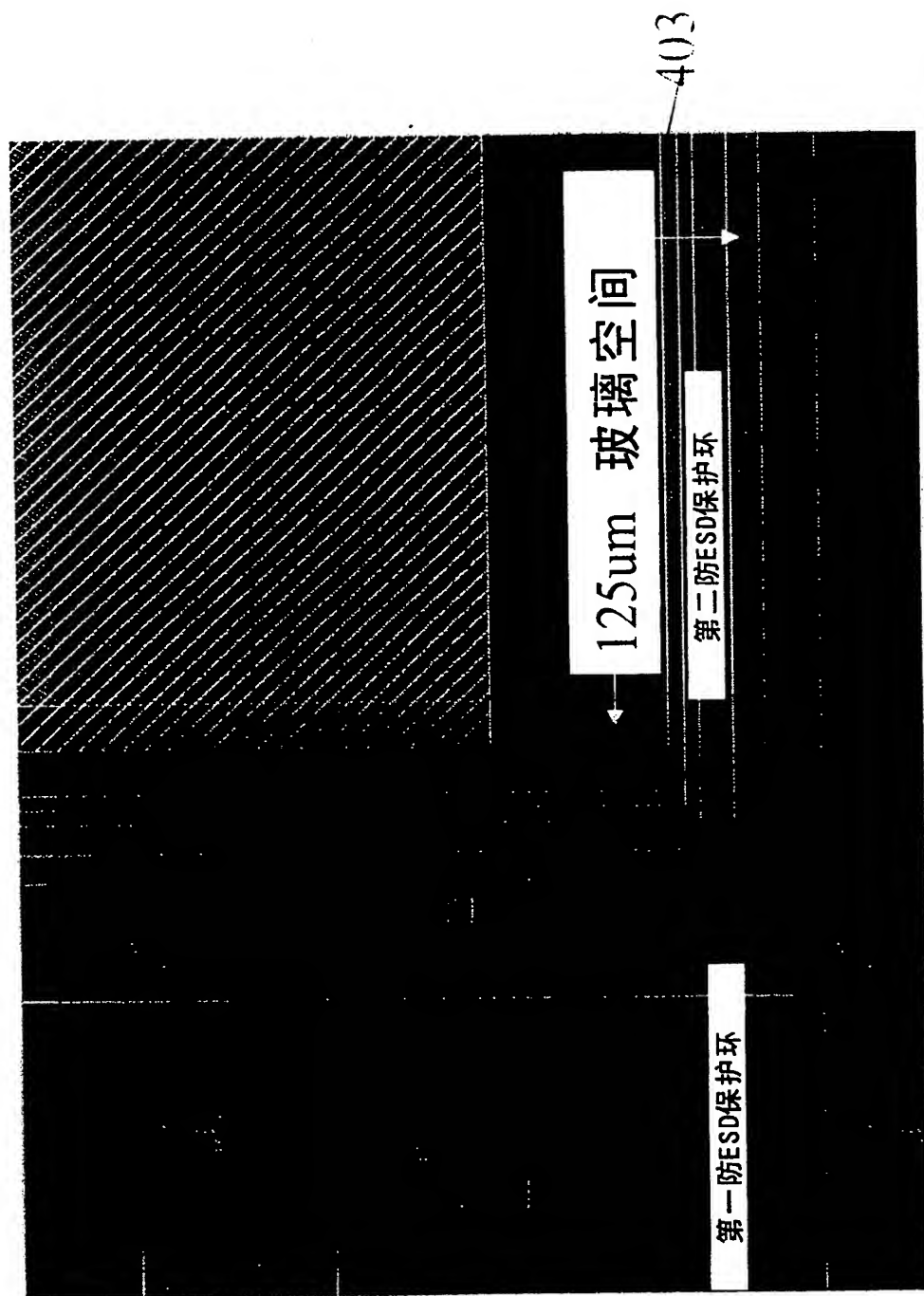


图5A

405 20um 10um 10um

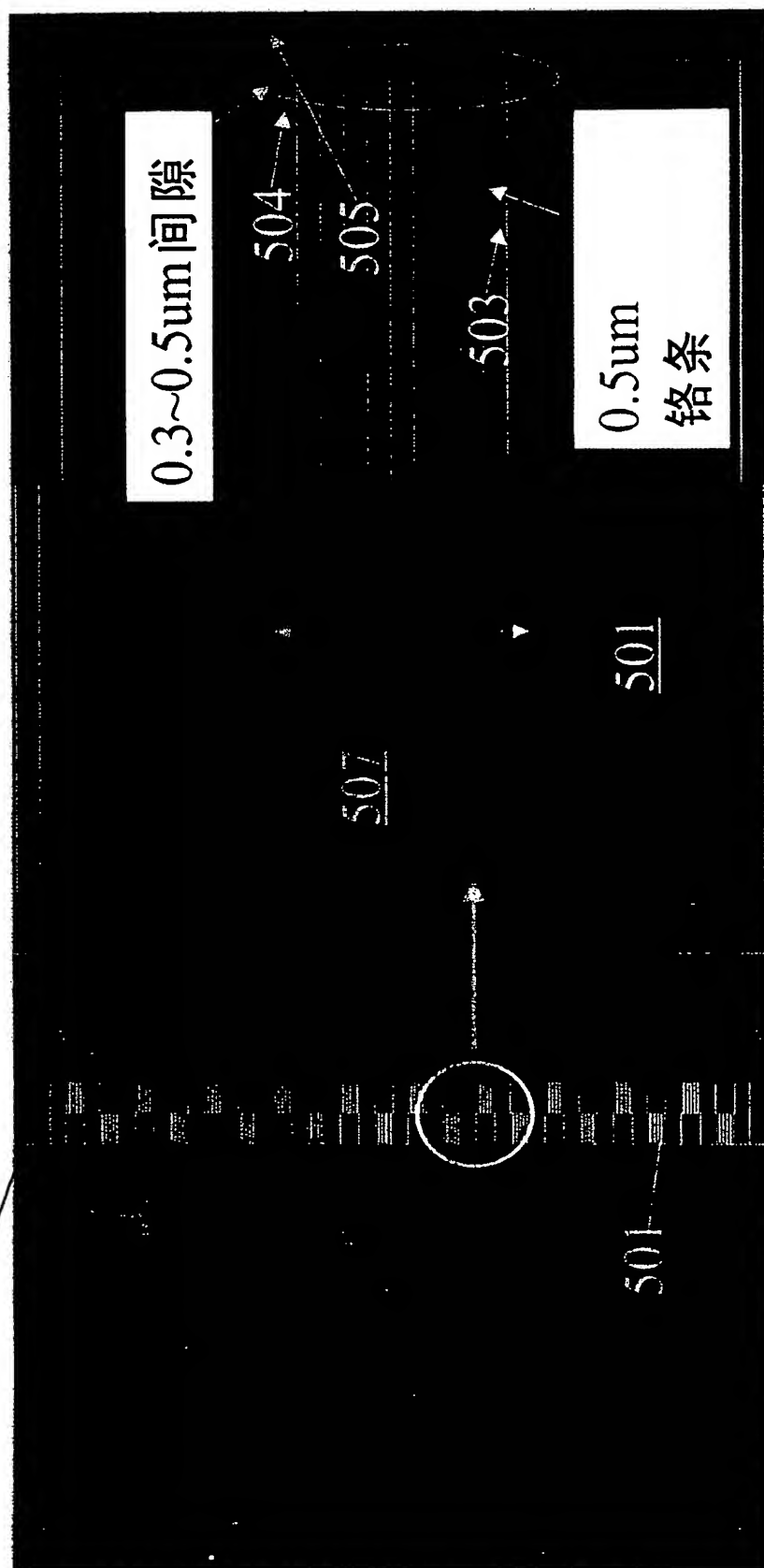


图6

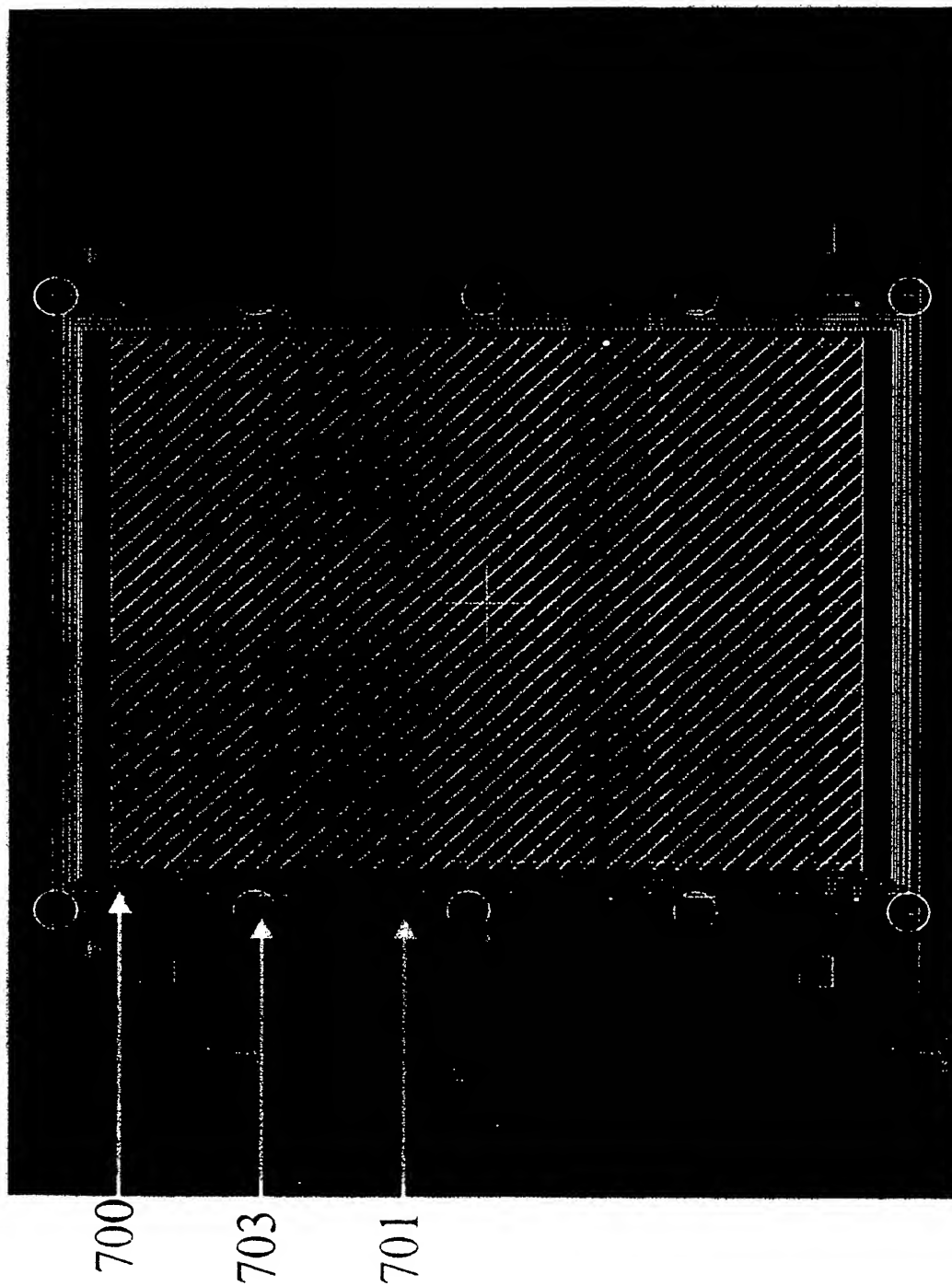
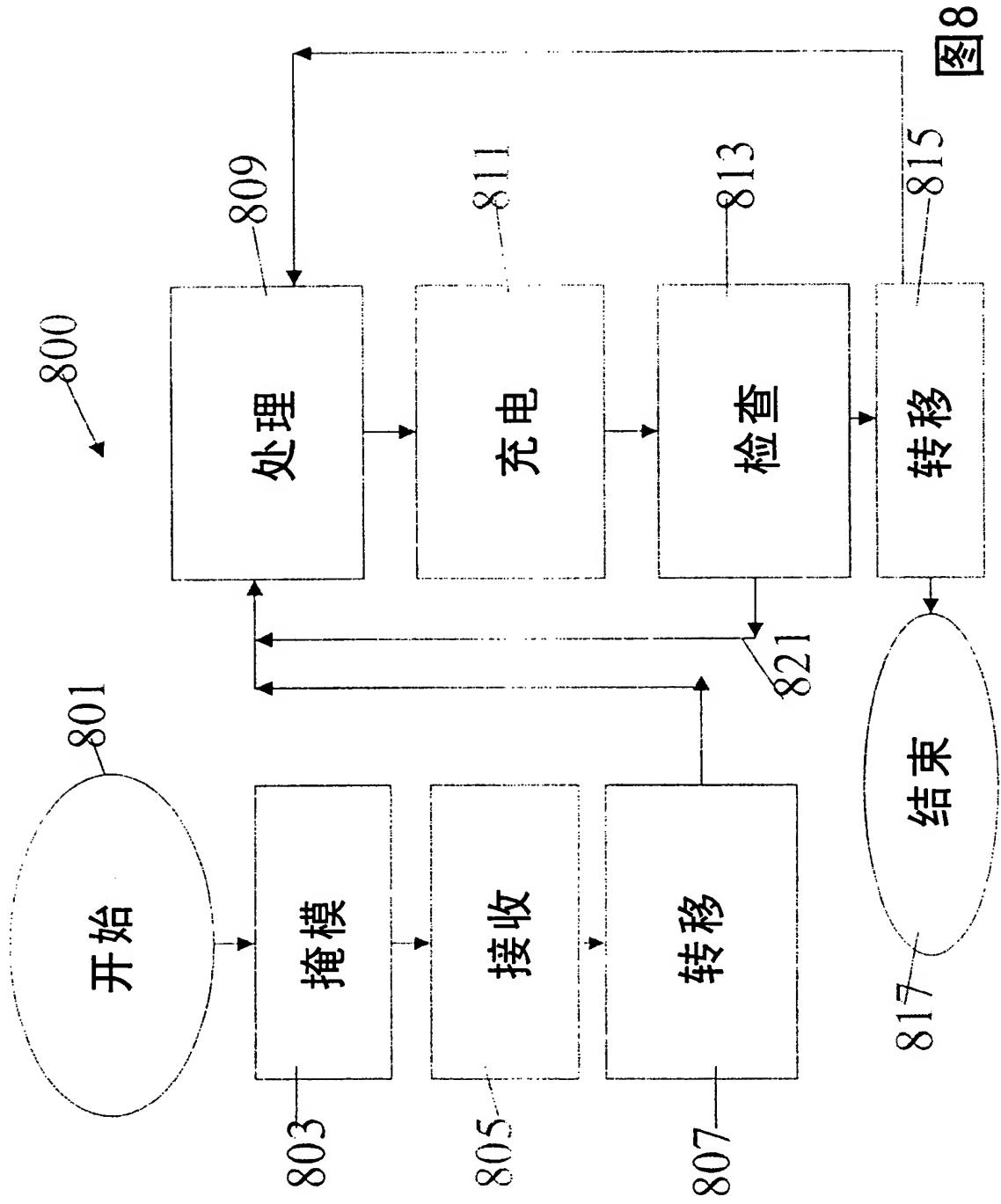


图7



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**